

Korean Patent No. 0179563

Registration Date: November 27, 1998
Filing Date: December 30, 1995
Application Number: 1995-069477
Applicant: HYUNDAI ELECTRONICS INDUSTRIES
Co., LTD.
Title of the Invention: Method For Forming Interlayer
Planarizing Film Of
Semiconductor Device

Abstract:

The present invention is directed to a method for forming interlayer planarizing film of semiconductor device. Specifically, the present invention is directed to a method for forming interlayer planarizing film of semiconductor device that prevents a dielectric film of a DRAM capacitor from being damaged due to the flow process of an interlayer planarizing film. In a process for forming the interlayer planarizing film on the capacitor of the DRAM semiconductor device, an insulating film is deposited without performing the BPSG flow process. Then, the surface of the insulating film is flattened and phosphorus ion is injected into the insulating film, so that a dielectric film is not damaged due to a high temperature flow process and metal ion is not adsorbed in later processes to enhance the reliability of the semiconductor device.

RECEIVED
NOV-8 2002
IC 2800 MAIL ROOM

016733

출력 일자: 2002/8/9

발송번호 : 9-5-2002-028876627

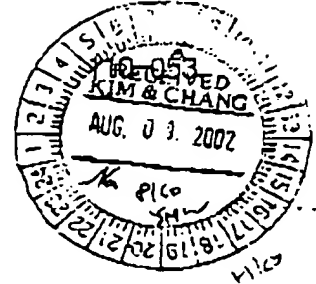
발송일자 : 2002.08.08

제출기일 : 2002.10.08

수신 : 서울 종로구 내자동 219 한누리빌딩 (김&

장 특허법률사무소)

구영창 귀하



특허청 의견제출통지서

출원인 영칭 산요 덴키 가부시카가이샤 (출원인코드: 519980961320)
주소 일본 오사카후 모리구치시 게이한 혼도오리 2초메 5반 5고

대리인 성명 구영창 외 1명
주소 서울 종로구 내자동 219 한누리빌딩 (김&장 특허법률사무소)

출원번호 10-1997-0040863

발명의 명칭 반도체장비제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1달 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원방안은 그 출원한 날전에 한 출원으로서 이 출원일에 공개된 1995년 출원 제069477호의 출원서에 최초로 청구한 명세서 또는 도면에 기재된 발명과 동일한 것이므로 특허법 제29조제3항의 규정에 의하여 특허를 받을 수 없습니다.

1. 청구범위 제 1 항 내지 제 15 항에 기재된 발명은 SOG 막을 형성한 후 불순물을 투입한 후 연마하는 것을 특징으로 하고 있으나 이는 선출원 대한민국 등록특허공보 제1998-0179563호(출원일: 1995.12.30)에 기재된 발명과 매우 동일한 것으로 판단됨.

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제5항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

1. 청구범위 제 4 항과 청구범위 제 8 항 내지 제 15 항은 여러개의 인용하는 항을 나열하고 있는 반면 이중 어느 항을 선택하여 인용하고 있는지 불명확하므로 각각 제 2 항 또는 제 3 항 중 어느 한 항에 있어서, 제1항, 제2항, 제3항, 제5항 또는 제6항 중 어느 한항에 있어서로 정정할 필요가 있음.

[참 부]

첨부1 한국등록특허공보 0179563호(1999.04.15) 1부 끝.

2002.08.08

특허청

심사4국

반도체1 심사담당관실

심사관 인치복



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. :

H01L 21 /31

(11) 등록번호

특0179563

(24) 등록일자

1998년 11월 27일

(21) 출원번호

특1995-069477

(65) 공개번호

특1997-052870

(22) 출원일자

1995년 12월 30일

(43) 공개일자

1997년 07월 29일

(73) 특허권자

현대전자산업주식회사 김주용

경기도 이천군 부발읍 아미리 산 136-1

(72) 발명자

박상준

경기도 이천군 이편읍 황전 10리 49-17

(74) 대리인

최문순

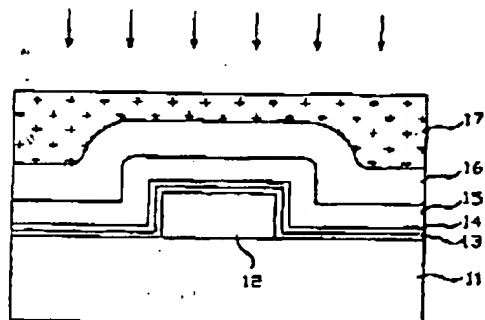
심사관 : 고광석

(54) 반도체 소자의 층간 평탄화막 형성방법

요약

본 발명은 반도체 소자의 층간 평탄화막 형성방법에 관한 것으로, 보다 구체적으로는, 반도체 디램소자의 제조 공정시 층간 평탄화막의 플로우공정으로 인한 디램 캐패시터의 유전체막의 손상을 방지할 수 있는 반도체 소자의 층간 평탄화막 형성방법에 관한 것으로, 본 발명에 따르면, 반도체디램 소자의 캐패시터 상부에 층간 평탄화막을 형성하는 공정에 있어서, 기존의 BPSG의 플로우 공정을 배제하고, 절연막을 증착한다음, 표면을 평탄하게 하고, 이어서 인 원자를 이온 주입함으로써, 고온의 플로우 공정으로 인한 유전체막의 손상 및 이후의 공정시 금속 이온들의 용해를 방지하여 소자의 신뢰성을 향상시킬 수 있다.

대표도



영세서

[발명의 명칭]